

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006 年 4 月 6 日 (06.04.2006)

PCT

(10) 国
WO 2006/035896 A1(51) 国際特許分類:
H04L 25/06 (2006.01)

(21) 国際出願番号: PCT/JP2005/018006

(22) 国際出願日: 2005 年 9 月 29 日 (29.09.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権子ータ:
特願 2004-286548 2004 年 9 月 30 日 (30.09.2004) JP

(71) 出願人 (米国を除く全ての指定国について): アンリツ株式会社 (ANRITSU CORPORATION) [JP/JP]; 〒2438555 神奈川県厚木市恩名五丁目 1 番 1 号 Kanagawa (JP).

(72) 発明者; おおよび

(75) 発明者/出願人 (米国についてののみ): 白土 悟 (SHIRATSUCHI, Satoru) [JP/JP]. 藤沼 一弘 (FUJINUMA, Kazuhiro) [JP/JP]. 斉藤 澄夫 (SAITO, Sumio) [JP/JP].

(74) 代理人: 鈴江 武彦, 外 (SUZUYE, Takehiko et al.); 〒1000013 東京都千代田区麹町 3 丁目 7 番 2 号 鈴業特許総合事務所内 Tokyo (JP).

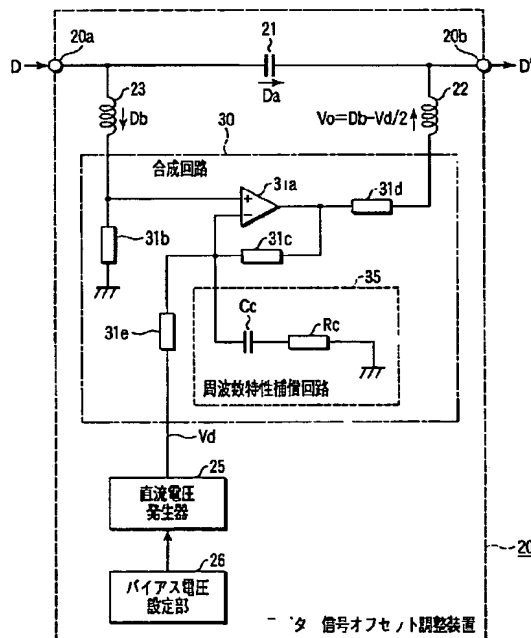
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), -x- ラシ T (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: DIGITAL SIGNAL OFFSET ADJUSTER AND PULSE PATTERN GENERATOR USING SAME

(54) 発明の名称: デジタル信号オフセット調整装置及びそれを用いるパルスパターンジェネレータ



(57) Abstract: A digital signal offset adjuster comprises a capacitor (21) for allowing the high-frequency components of an input digital signal to pass to an output terminal (20b) so as to transmit a wide-band digital signal without causing waveform distortion, a first coil (23) having one end connected to an input terminal (20a) and the other end to which the low-frequency and DC components pass, a second coil (22) having one end connected to the output terminal, an operation amplifier (31a) having a first input terminal connected to the other end of the first coil, a second input terminal connected to a DC voltage generator (25) and an output terminal connected to the other end of the second terminal and adapted to output a signal generated by subtraction combining of the low-frequency and DC components and the DC bias voltage, and a frequency characteristic compensating circuit (35) connected between the second input terminal of the operational amplifier and a reference potential point and adapted to increase the gain of the operational amplifier much for the higher frequency component of the low-frequency components of the input digital signal made to pass to the other end of the first coil.

- 30 COMBINING CIRCUIT
35 FREQUENCY CHARACTERISTIC COMPENSATING CIRCUIT
25 DC VOLTAGE GENERATOR
26 BIAS VOLTAGE SETTING SECTION
20 DIGITAL SIGNAL OFFSET ADJUSTER

[続葉有]



IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI の F, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:
— 国際調査報告書

(57) 要約:

デジタル信号オフセット調整装置は、広帯域なデジタル信号を、波形歪みを生じることなく伝達するために、入力デジタル信号の高周波成分を出力端子 (20 b) に通過させるコンデンサ (21) と、入力端子 (20 a) に一端側が接続され、低周波成分及び直流成分を他端側に通過させる第 1 のコイル (23) と、出力端子に一端側が接続される第 2 のコイル (22) と、第 1 のコイルの他端側に第 1 の入力端が接続され、直流電圧発生器 (25) に第 2 の入力端が接続され、第 2 のコイルの他端側に出力端が接続され、前記低周波成分及び直流成分と直流バイアス電圧とを減算合成して得られる信号を第 2 のコイルの他端側に出力する演算増幅器 (31 a) と、演算増幅器の第 2 の入力端と基準電位点との間に接続され、第 1 のコイルの他端側に通過される入力デジタル信号の低周波成分のうち周波数が高い成分ほど演算増幅器の利得を大きくする周波数特性補償回路 (35) とを有する。